

S PN=JP 5276007

S3 1 PN=JP 5276007

?

T S3/9/1

3/9/1

DIALOG(R)File 351:Derwent WPI

(c) 2006 The Thomson Corporation. All rts. reserv.

0006377942 - Drawing available

WPI ACC NO: 1993-177151/

XRPX Acc No: N1993-135767

**Integrated circuit device e.g. programmable logic device - has user-programmable power-down circuit for disabling particular circuit under control of user-specified state of input signal**

Patent Assignee: NORTH AMERICAN PHILIPS CORP (PHIG); PHILIPS GLOEILAMPENFAB NV (PHIG)

Inventor: BURTON E A

**Patent Family** (5 patents, 7 countries)

Patent Number	Kind	Date	Application Number	Kind	Date	Update
EP 544368	A2	19930602	EP 1992203577	A	19921120	199322 B
CA 2083624	A	19930528	CA 2083624	A	19921124	199333 E
JP 5276007	A	19931022	JP 1992313429	A	19921124	199347 E
US 5329178	A	19940712	US 1991799499	A	19911127	199427 E
EP 544368	A3	19931006	EP 1992203577	A	19921120	199510 E

Priority Applications (no., kind, date): US 1991799499 A 19911127

#### Patent Details

Number	Kind	Lan	Pg	Dwg	Filing	Notes
EP 544368	A2	EN	7	3		
Regional Designated States,Original: DE FR GB IT						
CA 2083624	A	EN				
US 5329178	A	EN	6	3		
EP 544368	A3	EN				

#### Alerting Abstract EP A2

The integrated circuit device includes a circuit (10) and power-down device (18) for disabling the circuit. The power-down device is user-programmable for reversibly disabling the circuit under control of a user-specified state of at least one input signal (20) supplied to the power-down device.

In addition the power-down device is programmable to disable the circuit under control of the input signal supplied to both the power-down device and the circuit.

USE/ADVANTAGE - In particular for PLD's. Simple to implement, requires no additional I/O pins, considerably reduces power consumption and renders device more versatile.

#### Equivalent Alerting Abstract US A

The integrated circuit device comprises a circuit and power-down device for disabling the circuit, in which the power-down device is user-programmable for reversibly disabling the circuit under control of a user-specified state of at least one input signal.

The circuit is disabled under control of a user-programmed combination of a number of input signals supplied to the power-down device.  
ADVANTAGE - Reduced power consumption. Requires no additional I/O pins.

**Title Terms /Index Terms/Additional Words:** INTEGRATE; CIRCUIT; DEVICE; PROGRAM; LOGIC; USER; POWER; DOWN; DISABLE; CONTROL; SPECIFIED; STATE; INPUT; SIGNAL

**Class Codes**

International Classification (Main): H01L-023/58, H03K-019/00, H03K-019/173  
(Additional/Secondary): H01L-027/02, H02J-001/00, H03K-019/177  
US Classification, Issued: 307465000, 307296300, 307467000

File Segment: EPI;  
DWPI Class: U13; U21  
Manual Codes (EPI/S-X): U13-E02; U21-C01E; U21-C03A2A

**Original Publication Data by Authority**

**Canada**

Publication No. CA 2083624 A (Update 199333 E)  
Publication Date: 19930528  
Assignee: PHILIPS GLOEILAMPENFAB NV (PHIG)  
Inventor: BURTON E A  
Language: EN  
Application: CA 2083624 A 19921124 (Local application)  
Priority: US 1991799499 A 19911127  
Original IPC: H01L-23/58(A) H01L-27/02(B)  
Current IPC: H01L-23/58(A) H01L-27/02(B)

**EPO**

Publication No. EP 544368 A2 (Update 199322 B)  
Publication Date: 19930602  
\*\*IC mit vom Benutzer festlegbaren programmierbaren Mitteln zum Abschalten der Versorgungsspannung  
Integrated circuit device with user-programmable conditional power-down means  
Circuit integre avec moyens conditionnels de mise hors service de l'alimentation, programmables par l'utilisateur\*\*  
Assignee: N.V. Philips' Gloeilampenfabrieken, Groenewoudseweg 1, NL-5621 BA Eindhoven, NL (PHIG)  
Inventor: Burton, Edward Allyn, c/o Int. Octrooibureau B.V., Prof. Holstlaan 6, NL-5656 AA Eindhoven, NL  
Agent: Strijland, Wilfred et al, INTERNATIONAAL OCTROOIBUREAU B.V. Prof. Holstlaan 6, NL-5656 AA Eindhoven, NL  
Language: EN (7 pages, 3 drawings)  
Application: EP 1992203577 A 19921120 (Local application)  
Priority: US 1991799499 A 19911127  
Designated States: (Regional Original) DE FR GB IT  
Original IPC: H03K-19/00(A)  
Current IPC: H03K-19/00(A)  
Original Abstract: An integrated circuit device is provided with user-programmable power-down means (18) for disabling a particular circuit (10) in the device under control of a user-specified state of an input signal (20) supplied to the device. In particular, for PLDs a power-down feature of this kind is simple to implement, requiring no

additional I/O pins on the device, considerably reduces power consumption and renders the device more versatile than prior art devices.

**Claim:**

- \* 1. An integrated circuit device comprising a circuit and power-down means for disabling the circuit, wherein the power-down means is user-programmable for reversibly disabling the circuit under control of a user-specified state of at least one input signal supplied to the power-down means.

Publication No. EP 544368 A3 (Update 199510 E)

Publication Date: 19931006

Assignee: PHILIPS GLOEILAMPENFAB NV (PHIG)

Inventor: BURTON E A

Language: EN

Application: EP 1992203577 A 19921120 (Local application)

Priority: US 1991799499 A 19911127

Original IPC: H03K-19/00(A)

Current IPC: H03K-19/00(A)

**Japan**

Publication No. JP 5276007 A (Update 199347 E)

Publication Date: 19931022

**\*\*INTEGRATED CIRCUIT DEVICE\*\***

Assignee: PHILIPS GLOEILAMPENFAB:NV (PHIG)

Inventor: BURTON EDWARD A

Language: JA

Application: JP 1992313429 A 19921124 (Local application)

Priority: US 1991799499 A 19911127

Original IPC: H03K-19/00(A) H02J-1/00(B) H03K-19/173(B) H03K-19/177(B)

Current IPC: H03K-19/00(A) H02J-1/00(B) H03K-19/173(B) H03K-19/177(B)

**United States**

Publication No. US 5329178 A (Update 199427 E)

Publication Date: 19940712

**\*\*Integrated circuit device with user-programmable conditional power-down means\*\***

Assignee: North American Philips Corporation (PHIG)

Inventor: Burton, Edward A., UT, US

Agent: Franzblau, Bernard

Language: EN (6 pages, 3 drawings)

Application: US 1991799499 A 19911127 (Local application)

Original IPC: H03K-19/173(A)

Current IPC: H03K-19/173(A)

Original US Class (main): 307465

Original US Class (secondary): 307296.3 307467

Original Abstract: An integrated circuit device is provided with user-programmable power-down means for disabling a particular circuit in the device under control of a user-specified state of an input signal supplied to the device. In particular, for PLDs a power-down feature of this kind is simple to implement, requiring no additional I/O pins on the device, considerably reduces power consumption and renders the device more versatile than prior art devices.

**Claim:**

- 1. An integrated circuit device comprising, a circuit and power-down means

for disabling the circuit, wherein the power-down means is operative to reversibly disable the circuit in response to at least one input signal supplied to the power-down means, and wherein the power-down means is user-programmable such that its response to a specific state of the input signal is specified by the user of the device.

?

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平5-276007

(43)公開日 平成5年(1993)10月22日

(51)Int.Cl. <sup>5</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 3 K 19/00	A	8941-5 J		
H 0 2 J 1/00	3 0 7 F	7373-5 G		
H 0 3 K 19/173	1 0 1	7827-5 J		
19/177		7827-5 J		

審査請求 未請求 請求項の数16(全 6 頁)

(21)出願番号 特願平4-313429

(22)出願日 平成4年(1992)11月24日

(31)優先権主張番号 0 7 / 7 9 9 4 9 9

(32)優先日 1991年11月27日

(33)優先権主張国 米国 (US)

(71)出願人 590000248

エヌ・ベー・フィリップス・フルーイラン  
ペンファブリケン

N. V. PHILIPS' GLOEIL  
AMPENFABRIEKEN

オランダ国 アインドーフェン フルーネ  
ヴァウツウエッハ 1

(72)発明者 エドワード アライン バートン

アメリカ合衆国 ユタ州 84042 リンド  
ン エス 1025 イー 168

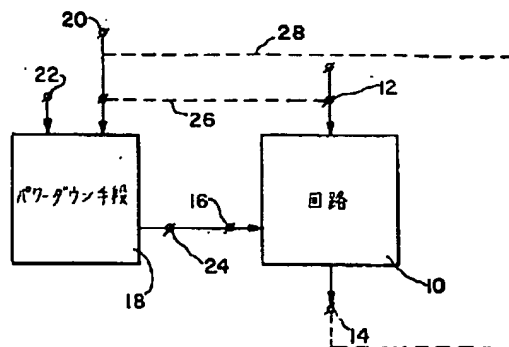
(74)代理人 弁理士 杉村 暁秀 (外5名)

(54)【発明の名称】 集積回路装置

(57)【要約】

【目的】 集積回路装置を従来のものより一層汎用性で使いやすいものとするパワーダウン手段付き集積回路装置を提供することにある。

【構成】 集積回路装置に、この装置に供給される入力信号のユーザ指定状態の制御の下で装置内の特定の回路をディセーブルするユーザプログラマブルパワーダウン手段を設ける。このパワーダウン手段は特に PLDに対し実現が簡単であり、追加の I/Oピンを必要とせず、且つ電力消費を著しく低減すると共に装置を従来のものより一層汎用性に富むものにする。



1

## 【特許請求の範囲】

【請求項1】 回路と、該回路をディセーブルするパワーダウン手段とを具える集積回路装置において、前記パワーダウン手段はこの手段に供給される少なくとも1つの入力信号のユーザ指定状態の制御の下で前記回路を可逆的にディセーブルするようユーザがプログラムし得ることを特徴とする集積回路装置。

【請求項2】 前記パワーダウン手段はこの手段及び前記回路の両方に供給される入力信号の制御の下で前記回路をディセーブルするようプログラムし得ることを特徴とする請求項1記載の装置。

【請求項3】 前記回路は前記パワーダウン手段に供給される複数の入力信号の、ユーザがプログラムした組合せの制御の下でディセーブルされることを特徴とする請求項1記載の装置。

【請求項4】 前記パワーダウン手段は複数の入力信号のうちの少なくとも一つである前記回路の出力信号の制御の下で前記回路をディセーブルするようプログラムし得ることを特徴とする請求項3記載の装置。

【請求項5】 前記パワーダウン手段は複数の入力信号のうちの少なくとも一つである前記回路に供給される別の入力信号の制御の下で前記回路をディセーブルするようプログラムし得ることを特徴とする請求項3記載の装置。

【請求項6】 前記パワーダウン手段は複数の入力信号のうちの一つである前記回路からの出力信号と、複数の入力信号のうちの少なくとも他の一つである前記回路の別の入力信号との組合せの制御の下で前記回路をディセーブルするようプログラムし得ることを特徴とする請求項3記載の装置。

【請求項7】 前記パワーダウン手段は複数の入力信号のうちのもう一つの入力信号である、装置の外部アクセス入力端子を経て供給される信号の制御の下で前記回路をディセーブルするようプログラムし得ることを特徴とする請求項4記載の装置。

【請求項8】 前記パワーダウン手段は複数の入力信号のうちのもう一つの入力信号である、装置の外部アクセス入力端子を経て供給される信号の制御の下で前記回路をディセーブルするようプログラムし得ることを特徴とする請求項5記載の装置。

【請求項9】 入力信号の前記ユーザ指定状態は高論理状態及び低論理状態のうちの選択した一方の状態であることを特徴とする請求項1記載の装置。

【請求項10】 複数の入力信号の各々のユーザ指定状態は高論理状態、低論理状態及び無関係状態のうちの選択した一つの状態であることを特徴とする請求項3記載の装置。

【請求項11】 前記回路は第1プログラマブル論理ゲートのアレイを具え、前記パワーダウン手段は第2プログラマブル論理ゲートを具えることを特徴とする請求項

2

1記載の装置。

【請求項12】 前記回路は第1プログラマブル論理ゲートの複数のアレイを具え、前記パワーダウン手段は前記複数のアレイを並列にパワーダウンする第2プログラマブル論理ゲートを具えることを特徴とする請求項1記載の装置。

【請求項13】 前記回路は第1プログラマブル論理ゲートの複数のアレイを具え、前記パワーダウン手段は前記複数のアレイのうちの選択したアレイをパワーダウンする複数の第2プログラマブル論理ゲートを具えることを特徴とする請求項1記載の装置。

【請求項14】 前記パワーダウン手段は動作不能にプログラムし得ることを特徴とする請求項1記載の装置。

【請求項15】 前記回路は該回路を電源から切離すことによりディセーブルすることを特徴とする請求項1記載の装置。

【請求項16】 前記パワーダウン手段は再プログラムし得ることを特徴とする請求項1記載の装置。

## 【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、回路と、該回路を可逆的にディセーブルするパワーダウン手段とを具える集積回路装置に関するものである。

【0002】

【従来の技術】 集積回路装置のパワーダウン手段は装置内の回路をディセーブルすることにより電力消費又は電磁放射のような項目を減少させるものである。所定のパワーダウン条件が存在する限り回路はディセーブルしたまゝに維持される。パワーダウン条件が除去されると、回路は再びエネーブルされる。

【0003】 例えば、メモリ回路チップはCE信号（チップエネーブル）がなくなるとパワーダウンされ、CE信号が再び現われるとパワーアップされる。東芝MOSメモリ製品の1989年ハンドブックのD3ページに、CE1及びCE2信号の固定の組合せに応答してパワーダウンされるメモリチップが示されている。この従来技術は回路のパワーダウンをトリガするのに所定の特徴の入力信号を必要とすることを教示している点に注意されたい。この所定の特徴又は固定の組合せは製造中に装置に組み込まれる。

【0004】

【発明が解決しようとする課題】 本発明の目的は、本発明の集積回路装置を、従来のものより一層汎用性があり使いやすいものとするパワーダウン手段を具えた集積回路装置を提供することにある。

【0005】

【課題を解決するための手段】 この目的のために、本発明は回路と、該回路をディセーブルするパワーダウン手段とを具えた新規な集積回路装置を提供する。このパワーダウン手段は、この手段に供給される少なくとも一つ

3

の入力信号のユーザがプログラムした状態の制御の下で回路を可逆的にディセーブルするようユーザがプログラムし得るものである。

【0006】従って、ユーザが、パワーダウン手段をプログラミングすることによって回路をパワーダウンする条件を装置に導入する。例えば論理環境に応じて、ユーザはパワーダウン手段を高論理入力信号に応答するよう、又は低論理入力信号に応答するようプログラムすることができる。複数の入力信号を使用することができる場合には、ユーザはパワーダウン手段を高論理状態、低論理状態及び“ドントケア”状態の特定の組合せに

【0007】

【実施例】図面を参照して本発明を実施例につき詳細に説明する。図1は本発明の集積回路装置の全体ブロック図を示す。この装置は第1データ入力信号を受信するデータ入力端12と、データ出力信号を出力するデータ出力端14とを有する回路10を具える。回路10は更にパワーダウン制御入力端16を有する。この制御入力端16に供給される制御信号は回路10をディセーブルする。この装置は更にパワーダウン手段18を具える。パワーダウン手段18は第2入力信号を受信する信号入力端20と、このパワーダウン手段18をプログラミングするプログラム信号を受信するプログラム入力端22とを有する。パワーダウン手段18は更に制御入力端16に接続された制御出力端24を有する。

【0008】パワーダウン手段18はプログラム入力端22からプログラム信号を供給することによりプログラムされる。プログラム信号の特徴によりパワーダウン手段18の特定の状態、例えば論理状態が指定される。一旦プログラムされると、パワーダウン手段18は入力端20における指定した状態を有する第2入力信号にのみ応答する。即ち、プログラムした特定の状態と第2入力信号の指定の状態との組合せによりパワーダウン手段18が制御入力端16を介して回路10をディセーブルするかが決まる。パワーダウン手段18は1つ以上のヒューズ又はアンチヒューズを切ることによりプログラムにすることができる。或は又、パワーダウン手段18はEEPROMセル、SRAMセル又はDRAMセルのようなプログラマブルメモリセルを用いてプログラマブルにすることもできる。

【0009】パワーダウン手段18は入力端20に受信される複数の第2入力信号により制御可能にすることができる。例えば、ある論理回路環境においてはユーザは、パワーダウン手段18を活動させるにはパワーダウン手段18

4

に供給される複数の第2入力信号が高論理状態、低論理状態及びドントケア状態の特定の組合せでなければならないようにプログラムすることができる。

【0010】回路10のディセーブルは種々の方法、例えば回路10をその電源（図示せず）から切り離すことにより生じさせることができる。或は又、回路10をデータ入力端12の入力信号に応答し得ない所定の状態にセットすることもできる。後者の場合には、回路10を例えばスタンバイ状態、即ち回路10内の揮発性メモリ（図示せず）に記憶させたデータを保持するには十分であるがデータ処理部を動作させるには不十分な低電流駆動状態にセットすることができる。更に他の実施例では、データ入力端12の入力信号を阻止し、回路10がこれら入力信号を処理しないようにすることにより回路を非動作状態にすることもできる。

【0011】データ入力端12と信号入力端20との間の破線26は、回路10とパワーダウン手段18が完全に又は部分的に同一の入力信号を受信してもよいことを示す。即ち、データ入力端12に供給される第1データ入力信号の少なくともいくつかを信号入力端20に供給される第2入力信号の少なくともいくつかと同一にすることができる。

【0012】破線28は、データ出力端14のデータ出力信号を信号入力端20に供給してもよいことを示す。このようにすると、回路10内で発生した信号と回路10の外部から信号入力端20に受信される信号との組合せがパワーダウン手段18を制御するようになる。この場合には、回路10からのデータ出力信号は、例えばマクロ（図示せず）を経て供給することができる。マクロは当該技術分野においてはユーザプログラマブル信号構成ブロックとして公知である。ユーザは、マクロをプログラミングすることによって、例えばデータ出力端14のデータ出力信号をクロック制御の下でラッチすべきか、反転すべきか、論理的に組合せるべきか、又はトグルすべきかを指定することができる。マクロは回路がパワーダウンされるときデータ出力信号を保持する。このアーキテクチャは、パワーダウン（及び再びパワーアップ）すべき回路10（例えばPLD）にバイポーラトランジスタを用いると共にマクロに相補型のFETを用いてBiCMOSに実現することができる。

【0013】本発明は広範囲の異なる機能の集積回路に適用し得るが、PLDの分野に特に有利である。一般に、PLDは入力信号に対しさまざまなブール関数演算を実行し得るようユーザが選択的にプログラムし得る多数の論理ゲートを具えている。

【0014】本発明では、PLD内の一つ以上の指定した論理ゲートを、特定の入力信号又は特定の組合せの入力信号の受信時におけるPLD内の全論理ゲートセクションのパワーダウン制御用に確保する。指定のゲートを活動すべき条件は指定のゲートを通常の方法でプログラミン

5

グすることにより容易に実現することができる。

【0015】ワイヤードロジックに基づく PLDはこのアーキテクチャに特に有利である。既知のように、ワイヤードロジック回路は高電力消費であるが極めて高速である。本発明のパワーダウン手段はユーザの指定した状態で電力消費を制御する。従って、本発明によるワイヤードロジック PLDはラップトップコンピュータのようなポータブル形電池電源式電子装置に適用するのに好適なものとなる。

【0016】PLD は任意の種類の電子データ処理システムを構成するための本質的に汎用性のビルディングブロックを構成する。これがため、本発明によればこれらの汎用装置を用いてシステムを実現する際にシステム設計者に速度と電力消費の要件に関し一層高い設計自由度を与えることができる。

【0017】図2は本発明による PLDの一例を示す。PLD は論理ゲートセクション10、20及び30に機能的に配置されたプログラマブル論理ゲート（図示せず）を具えている。論理ゲートセクション10〜30は入力信号を受信する入力端40、50及び60と、出力信号を出力する出力端70、80及び90を具える。論理ゲートセクション10〜30は電源手段100により給電される。セクション10は電源手段100に直接接続するが、セクション20及び30はそれぞれスイッチ110及び120を介して電源手段100に結合する。セクション10はそれぞれ指定された出力端130及び140を経てスイッチ110及び120を制御する。

【0018】セクション10〜30の論理ゲートはユーザが通常の方法でプログラムする。セクション10内の1以上の指定した論理ゲートのプログラムした状態によって、入力端40の入力信号が指定した出力端130及び140の出力信号をどのように制御するかが決まる。即ち、入力端40の入力信号が指定した論理ゲートのプログラム状態により決められた所定の論理値である場合にスイッチ110及び120が活動される。

【0019】セクション10内の指定の論理ゲートは PLD装置の既存の一部分であるため、慣例の PLD装置に加えて、PLDの応用性を高めるために必要とされる素子の数が極めて少なく済む。特に、スイッチ110、120及びこれらスイッチと指定された出力端130、140との間の相互接続リード線を付加するだけでユーザプログラマブルパワーダウン機能を生起させることができる。このアーキテクチャは追加のI/Oピンを必要とせず、また集積回路装置の慣例のI/Oピンの機能の変更も必要としない点に注意されたい。

【0020】指定の論理ゲートは慣例の PLD回路にスイッチ110、120と一緒に付加してもよい。この方法はプログラマブル論理ゲートの慣例の機能編成を保持すると共に、プログラミング中において指定の論理ゲート以外の論理ゲートを選択する選択機構を明確に編成されたまゝにしておくことができる。

6

【0021】セクション10は単一論理ゲートを具え、セクション20〜30は多数の論理ゲートを具えるものとし得る。各セクション20〜30内の1つを除く全てのゲートを別の設計オプションに従って編成すれば、出力70〜90を依然として限定された方法で制御することができ、例えば所定の論理状態にセットすることができる。PLD はセクション20〜30を同時に、又は互に独立にディセーブルするよう設計することができる。

【0022】図3は本発明の PLDに用いる論理ゲートセクションの一例のトランジスタ回路図を示す。このセクションは行270及び280と列290、300、及び310に機能的に配置されたプログラマブルセル210、220、230、240、250及び260を具える。セル210は既知のタイプのものであり、電源電圧Vccと列290の出力端子292との間に直列に配置されたヒューズ212及びnpnトランジスタ214を有する。トランジスタ214は行270の入力端子272に接続されたベース電極を有する。セル220〜260は関連する行入力端子272、282と、関連する列出力端子292、302、312との間に同様に配置された同一のヒューズ及びトランジスタを具える。列出力端子292及び302をそれぞれFET296及び306の主電流通路を経てブルダウン手段294及び304にそれぞれ接続する。列出力端子312はブルダウン手段314に接続する。

【0023】図3のセクションのアーキテクチャはワイヤードロジックの一例である。例えば入力端子272〜282の各々における入力信号をこの信号と関連する入力電圧がほぼVcc又はアース電圧であるとき高論理H又は低論理Lであるものとする、このセクションはワイヤードOR機能を示す。また、高論理H及び低論理Lがそれぞれアース電圧及びVcc電圧に対応する場合にはワイヤードAND機能が実現される。一般に、PLDを動作させるには複数の対の相補論理入力信号が使用される点に注意されたい。PLDのプログラミングは通常の方法でヒューズを選択的に切り、PLDが複数の入力信号のうちの選択した信号のスイッチングに影響されないようにすることにより達成される。

【0024】列310は列290〜300をディセーブルするパワーダウン手段として機能する。入力端子272〜282における入力信号の特定のパターンの受信時に出力端子312はこのパターンと関連する指定の出力電圧を出力する。この出力電圧は素子316に供給され、この素子が制御信号をFET296〜306に供給する。この素子316がこの出力電圧に行なう論理演算に応じてFET296〜306がターンオン又はターンオフし、列290〜300をそれぞれエネーブル又はディセーブルする。特定のパターンが存在する限り、この状態が維持される。

【0025】ブルダウン手段294〜314の各々は例えば各別の抵抗又は格別の能動電流源、例えばマルチ出力電流ミラーの格別の出力電流支路を具えるものとし得る。素子316は使用する論理極性及びFET296〜



7

306 の導電型に応じてインバータ又は非反転バッファを具えるものとすることができる。列310 は論理ゲートの2以上のセクション、例えば全てのセクションを制御するようにすることができる。従来既知のように、図3に示す論理ゲートのアレイは AND-ORプレーンを実現するために別の論理ゲートのアレイ（図示せず）と物理的に一体に形成することができる。

【0026】素子314 自体は、例えばヒューズを切ることによりプログラムし得る又は永久に不動作にし得る部分とすることができる。この場合、そのセクションを慣例の論理アレイとして入力信号の可能な全てのパターンに応動させる機会が提供される。このように、PLD の第1部分を慣例の如く処理するように選択すると共に、別の部分を入力信号にตอบสนองして交互にディセーブル又はエネーブルされるようにすることができる。

【図面の簡単な説明】

【図1】本発明による集積装置の全体概略図である。

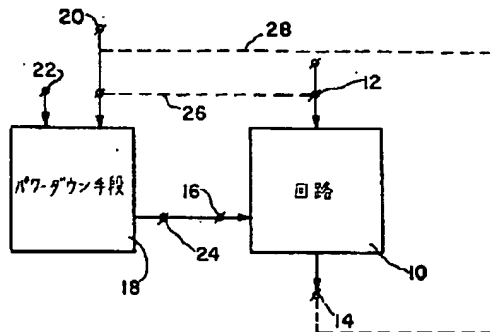
【図2】本発明による PLD装置のブロック図である。

【図3】本発明による PLD装置の詳細回路図である。

【符号の説明】

10 回路

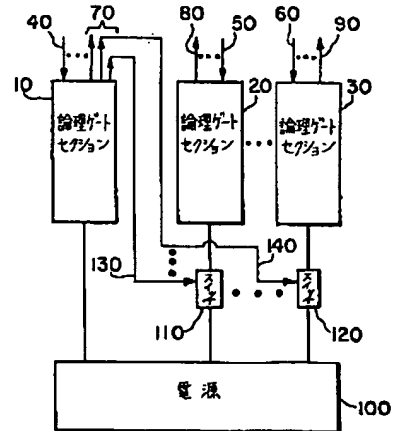
【図1】



8

- 12 データ入力端
- 14 データ出力端
- 16 パワーダウン制御入力端
- 18 パワーダウン手段
- 20 信号入力端
- 22 プログラム入力端
- 10, 20, 30 論理ゲートセクション
- 40, 50, 60 入力端
- 70, 80, 90 出力端
- 100 電源手段
- 110, 120 スイッチ
- 130, 140 指定出力端子
- 210, 220, 230, 240, 250, 260 プログラマブルセル
- 270, 280 行
- 272, 282 行入力端子
- 290, 300, 310 列
- 292, 302, 312 列出力端子
- 294, 304, 314 ブルダウン手段
- 296, 306 FET
- 20 310 パワーダウン手段
- 316 インバータ又は非反転バッファ

【図2】



【図3】

